

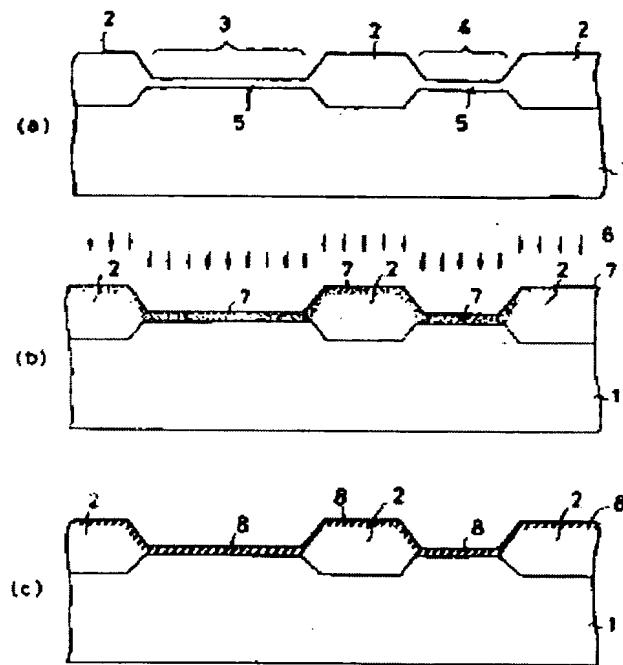
FORMING METHOD FOR INSULATING FILM IN SEMICONDUCTOR DEVICE

Patent number: JP58093331
Publication date: 1983-06-03
Inventor: YAMADA HIROSAKU
Applicant: TOKYO SHIBAURA DENKI KK
Classification:
- international: H01L21/316; H01L21/265; H01L29/78
- european:
Application number: JP19810192201 19811130
Priority number(s):

Abstract of JP58093331

PURPOSE: To form the insulating film having the characteristics of a high dielectric constant onto a semiconductor substrate by implanting metallic ions and thermally treating the whole under an oxidizing or non-oxidizing atmosphere.

CONSTITUTION: The metallic ions 6 are implanted into semiconductor element oxide films 2, 5 on the semiconductor substrate 1 through an ion implantation method. Substances forming oxides having the high dielectric constants are used as the metal 6. The whole is thermally treated under the oxidizing atmosphere or the non-oxidizing atmosphere, the oxide films containing the metal 7 implanted are equalized, and the insulating film 8 consisting of the mixed film of a semiconductor element oxide and the oxide of the metal 7 implanted is formed.



⑯ 日本国特許庁 (JP)
⑰ 公開特許公報 (A)

⑪ 特許出願公開
昭58—93331

⑤Int. Cl.³
H 01 L 21/316
21/265
29/78

識別記号
厅内整理番号
7739—5F
6851—5F
7377—5F

⑩公開 昭和58年(1983)6月3日
発明の数 1
審査請求 未請求

(全3頁)

④半導体装置における絶縁膜形成方法

京芝浦電気株式会社総合研究所
内

①特 願 昭56—192201
②出 願 昭56(1981)11月30日
③發明者 山田啓作
川崎市幸区小向東芝町1番地東

⑦出願人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑧代理人 弁理士 鈴江武彦 外2名

明細書

1.発明の名称

半導体装置における絶縁膜形成方法

2.特許請求の範囲

(1) 半導体基板の一主要面あるいは全面に形成された半導体元素酸化物膜中に、イオン注入法にて金属イオン、あるいは金属イオン及び酸素イオンを注入せしめた後、酸化性あるいは非酸化性雰囲気下で熱処理を行なうことにより、絶縁膜を形成することを特徴とする半導体装置における絶縁膜形成方法。

(2) 注入金属の酸化物は半導体基板を構成する半導体元素の酸化物より高い誘電率を有することを特徴とする特許請求の範囲第(1)項記載の半導体装置における絶縁膜形成方法。

3.発明の詳細な説明

発明の技術分野

本発明は半導体装置における半導体基板上の絶縁膜形成方法に関する。

発明の技術的背景とその問題点

半導体基板上に絶縁膜を形成する方法として、従来、半導体基板を酸化性雰囲気下で熱処理し、半導体元素(例えばケイ素)の酸化膜を形成する方法、あるいは、CVD法を用いて半導体基板上に絶縁性膜を蒸着せしめる方法がとられている。

しかしながら、前者の方法では形成される酸化膜は半導体元素酸化物のみか、あるいは半導体装置製造の過程において添加される不純物を含む程度であり、任意の特性(誘電率等)の絶縁膜を得ることはできない。一方、後者の方法においては任意の元素からなる任意の特性の絶縁膜を形成するのは不可能ではないが、困難を伴うことが多い。

発明の目的

本発明の目的は、半導体基板上に任意の特性の絶縁膜を容易に形成できる半導体装置における絶縁膜形成方法を提供することである。

イオノンの酸化物膜である。なお、この電子領域の酸化物膜は酸化性雰囲気下で処理して形成するが、あるいはCVD法により形成する。

本発明においては、第1図(a)のような状態の半導体基板1上の半導体元素酸化物膜2、5中に、イオン注入法にて金属イオン6を注入する。6はこうして注入された金属を示している。この場合、半導体基板1上の電子領域3、4以外の部分をフォトレジスト等で覆つて金属イオン6の注入を阻止してもよいが、特に以後の工程において問題がなければ、図のように阻止せずに注入してもよい。

金属イオン6は高誘電率の酸化物を形成するものが望ましく、実験では金属イオン6としてジルコニウム・イオン Zr^{+} を用いた。注入時の加速エネルギーは、注入金属7が図のように半導体元素酸化物膜2、5中に留まる範囲ならばよく、またドーズ量は所望とする絶縁膜の誘電率や膜厚により決定される。

そして、次に熱処理を行ない、注入金属7を

発明の概要

本発明は、半導体基板の一主表面あるいは全面に形成された半導体元素酸化物膜中に、イオン注入法にて金属イオン、あるいは金属イオン及び酸素イオンを注入し、酸化性あるいは非酸化性雰囲気下で熱処理を行なうことにより、絶縁膜を形成することを特徴としている。

発明の効果

本発明によれば、注入金属の酸化物の特性、金属イオンの注入ドーズ量等によって、容易に所望とする特性、特に高誘電率の特性を持つ絶縁膜を半導体基板上に形成することができる。

発明の実施例

第1図は本発明の一実施例の工程図であり、(a)は通常の方法による半導体装置の製造プロセスにおける途中工程を概略的に示したものである。第1図(a)において、1は半導体基板、例えばケイ素基板であり、2はフイルド酸化膜としてのケイ素酸化物膜、3、4は電子領域、5は電子領域3、4に形成された半導体元素(ケ

合)の酸化物膜を均一化させ、第1図(c)に示すように半導体元素酸化物と注入金属7の酸化物との混合膜からなる絶縁膜8を形成する。この熱処理は酸化性雰囲気下及び非酸化性雰囲気下のいずれで行なつてもよい。酸化性雰囲気下なら気流中の酸素と注入金属7の元素とが反応して絶縁膜8が生成される。また、非酸化性雰囲気下なら、注入金属7がジルコニウムのようにその酸化物の標準生成自由エネルギーが半導体元素酸化物であるケイ素酸化物のそれより小さいものである場合は、



の反応か、あるいは



の反応が生じる。そして、(1)の反応の場合には還元されたケイ素Siはケイ素からなる半導体基板1中に、(2)の反応の場合にはSiOのガス成分により気流中へ離出し、酸化物膜中にジルコニ

ウム・ケイ素酸化物(ジルコン)を生成する。また、第1図(b)の工程において酸素イオンを併せて注入することにより、注入酸素イオンと金属イオン6とを反応させることも可能である。

なお、実験では第1図(a)の電子領域3、4の酸化膜5の厚さを250Åとし、第1図(b)における注入金属イオン6としてジルコニウムイオン Zr^{+} を用い、そのドーズ量を 2×10^{19} 個/ cm^2 、注入加速エネルギーを20KVとし、第1図(c)の熱処理は1000℃において純酸素及び純窒素雰囲気下で行なつた。こうして得られた絶縁膜8の誘電率は第1図(a)における熱処理を純酸素雰囲気下で行なつた場合、1.2、3、窒素雰囲気下で行なつた場合1.8.5であり、いずれもケイ素酸化物のみからなる絶縁膜の4前後の誘電率と比べて、極めて高い値を示すことが確認された。また、これらの値は金属イオン6の注入ドーズ量で任意に調整することができる性質のものである。

また、第1図(b)において金属イオン6として

Hfを注入した場合は、HfSiO₄とSiO₂の混合膜からなる同様な絶縁膜8を得ることができた。

第2図は、このようにして形成された絶縁膜8をゲート酸化膜および誘電体膜として用いて通常の工程により第1図(a)の素子領域3, 4にそれぞれMOSトランジスタおよびMOSキャバシタを作製した状態を示している。9はゲート電極、10, 11はソースおよびドレイン電極、12はキャバシタ電極、13はCVD法によるケイ素酸化物の絶縁膜、14はアルミニウム等の配線層である。この場合、本発明によれば絶縁膜8の誘電率を高くできるため、良好な特性が得られる。

なお、本発明において注入金属イオンとしてはZr, Hfに限ることなく、種々選択できることは言うまでもない。また実施例ではケイ素基板を用いているがその他の半導体基板上に形成された半導体元素酸化物膜についても適用可能である。

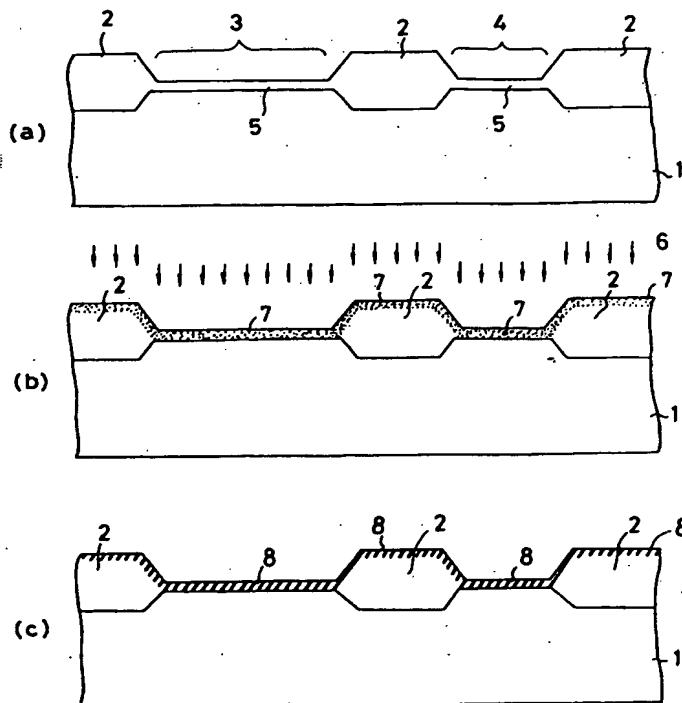
4. 図面の簡単な説明

第1図は本発明の一実施例の工程を示す概略断面図、第2図は同実施例によつて得られた絶縁膜を用いてMOSトランジスタおよびMOSキャバシタを作製した状態を示す概略断面図である。

1…半導体基板、2, 5…半導体元素酸化物膜、3, 4…素子領域、6…金属イオン、7…注入金属、8…半導体元素酸化物と注入金属の酸化物との混合膜からなる絶縁膜、9…ゲート電極、10…ソース電極、11…ドレイン電極、12…キャバシタ電極、13…絶縁膜、14…配線層。

出版人代理人弁理士 鈴 江 武彦

第1図



第2図

